

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

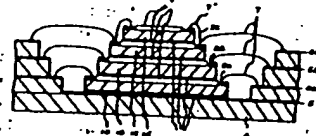
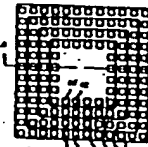
521E111

## (54) SEMICONDUCTOR DEVICE

- (11) 57-31166 (A) (43) 19.2.1982 (19) JP  
(21) Appl. No. 55-105911 (22) 31.7.1980  
(71) FUJITSU K.K. (72) JIYUNJI SAKURAI  
(51) Int. Cl.<sup>2</sup> H01L23/48, H01L21/58

**PURPOSE:** To provide a compact and high capacity semiconductor device, by a method wherein IC chips laminated into multilayer are housed in a package which has inner pads placed in a shape of steps and the inner pads are connected to the corresponding outer conducting pads of the chips.

**CONSTITUTION:** IC chips 1a~1d are piled and fixed with adhesive material 3 such as insulating resin, conductive resin or soldering material on the stage 5 of a package 4. The required connecting pads 2a, 2b, 2c of the chips and inner pads 6a, 6b, 6c of the multilayer constructed package 4 are connected with wires 7. The surface of each chip is protected by an insulating film 9. The required connecting pad 2d of the chip 1d of the top stage and the required pad 2c of the chip 1c of the lower stage are connected with a wire 7. The inner pads 6a~6c of the package and corresponding pads 2a~2c of the multilayer IC chips 1a~1d are to be placed on almost a same level. Thus the yield of the multilayer IC production is improved and the compact and high capacity devices are provided.



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭57-31166

⑫ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和57年(1982)2月19日

H 01 L 23/48

6819-5F

特許庁 昭57/58

6679-5F

発明の数 1

審査請求 未請求

(全 4 頁)

⑭ 半導体装置

川崎市中原区上小田中1015番地

富士通株式会社内

⑮ 特 願 昭55-105911

⑯ 出 願 人 富士通株式会社

⑰ 出 願 昭55(1980)7月31日

川崎市中原区上小田中1015番地

⑱ 発 明 者 板井潤治

⑲ 代 理 人 弁理士 松岡宏四郎

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

特許庁 昭57/58

本装置は、前記の半導体装置。

3. 発明の詳細な説明

本発明は多層半導体集積回路チップを設けた半導体装置の構造に関する。電子部品構成のいは各種通信装置等の電子部品に於ては、半導体装置の集積密度を向上せしめることが装置の小型化大容量化を要する上で極めて重要なことである。

そして上記目的のために大規模集積回路 (LSI) 等の半導体集積回路 (IC) に於て、パッケージの素子集積密度を向上せしめる技術として、(1) 複数の LSI チップを 1 (個) の半導体パッケージ内に搭載する、(2) LSI チップの表面に半導体素子を形成する構造、(3) LSI チップを薄くした半導体パッケージを組み合わせる、(4) LSI 上に形成した絶縁層上に半導体素子を形成し、レーザ・アニールで半導体層を単晶化し、該単晶半導体層に LSI を形成する構造 (日特エレクトロニクス 2-18 (1980) P. 2 巻) 等があるが、(1)-(3) の構造に於てはチップ及びチップに対する集積密度の大幅な向上は期待できず、

以下本発明を第1図及び第2図に示すナ・プ積層構造に於ける二つの実施例の上面図(a)及びA-A'矢視断面図(b)、第3図及び第4図に示すベ・テージへのナ・プ実装構造に於ける二つの実施例の断面模式図を用いて詳細に説明する。

本実施例の多層半導体ICに使用する各半導体積層層としての半導体ICナ・プは、通常行われる例えばMIS型ICの製造工程に従って、ゲート酸化膜、ゲート電極、ソース・ドレイン領域、配線等の形成が完了せしめられ、配線のための導通用ベ・ドであるボンディング・ベ・ド部のみを残して上面が保護膜ガラス(PSG)等の表面保護絶縁膜で覆われてになっている。なお上記ボンディング・ベ・ド部にはバンプ状電極が形成される場合もある。

そして例えば第1図(a)及び(b)に示すような多層半導体ICナ・プの積層構造に於ては、第1層の半導体ICナ・プ1a、第2層のナ・プ1b、第3層のナ・プ1c及び第4層のナ・プ1dの4(辺)に囲った周縁部に導通所望数のボンディング・ベ

又(a)の製造に於ては集積度及び実装密度は大幅に向上するが、各層の回路端子が突出しないので、各層に形成されているLSIのプロセス機能や回路機能と密接に検査することが出来るという問題がある。

本発明は上記問題点に鑑み、集積回路(IC)ナ・プを積層し、ベ・テージ寸法の拡大することと集積度及びベ・テージ寸法のICの集積度を大幅に向上せしめ、更にICナ・プ毎のプロセス機能及び回路機能を密接に検査することが可能な構造を有する多層半導体集積回路ナ・プをベ・テージ内に封入してなる半導体装置を提供する。

即ち本発明は半導体素子が集積されてなる素子集積層が多層に積層され、各層に外部との導通ベ・ドが設けられた多層半導体集積回路ナ・プをベ・テージ内に封入した半導体装置において、該ベ・テージ内の内部ベ・ドが階段状に多層に設けられ、対応する層の前記導通ベ・ドと内部ベ・ドとが外部導体を介して接続されてなることを特徴とする。

・ド2a、2b、2c或るいは2dが形成されており、各層ナ・プの大きさは、上層のナ・プを被せた下に下層ナ・プのボンディング・ベ・ドが上層ナ・プの周辺部(外側)に突出するように、上層ナ・プになるに従って順次小さく形成される。(図中9は表面保護絶縁膜を被むす)

そしてこれら半導体ICナ・プを積層固定する際の積層層3はシリコン樹脂、エポキシ樹脂或るいはポリ・イミド等の絶縁性樹脂、銀ペースト等の導電性接着剤或るいは金-銀(Au-Sn)等の合金からなるろう材により形成される。なお上記の中、ろう材を用いて積層を行う際には下層の半導体ICナ・プの表面保護絶縁膜9上からAu等からなるメ・タライズ層を形成してかく必要があり、又導電性接着剤或るいはろう材を用いて積層する構造に於ては、下層ナ・プの表面保護絶縁膜9に於ける周縁部以外の所望の場所にコンダクト窓を形成し、前記導電性接着剤或るいはろう材を介して上層ナ・プの所望の領域と該方向に電気的接続を行う際に有利である。

又第2図(a)及び(b)は同じナ・プ・サイズの半導体ICナ・プを積層する際の構造を被むす別の一例で、この場合は各層半導体ICナ・プ例えば1a、1b、1c及び1dのボンディング・ベ・ド2a、2b、2c及び2dは該ナ・プに於ける割り合った2(辺)に囲った部分に形成される。そしてナ・プを積層する際に用いる積層層3としては前記同様な絶縁性樹脂、導電性接着剤或るいはろう材が使用される。(図中9は表面保護絶縁膜を被むす)

本実施例の半導体装置は上記のような多層半導体集積回路ナ・プを半導体ベ・テージ内に配設した構造を有しており、その一例として第3図の断面模式図に示すように、半導体ベ・テージ40のナ・プ・ステージ5上に前記のように半導体ICナ・プ1a、1b、1c及び1dが順次積層された多層半導体集積回路ナ・プが、前記同様な絶縁性樹脂、導電性接着剤或るいはろう材等からなる積層層3により固定されており、上記ナ・プの所望のボンディング・ベ・ド(通常は配線のベ

図面の半導体装置に於ける一実施例の断面模式図である。本実施例に於てはゲート・パッド2a、2b、2c部に鉛-錫(Pb-Sn)半田等からなるパンプ電極8a、8b、8cを有する半導体ICチップ1a、1b、1cを前述のように積層形成せしめた多層半導体装置回路ナ・ブを、図ナ・ブの上面を下に向け、半導体パッケージ4に多層に形成された内部パッド6a、6b、6c上に、前記パンプ電極8a、8b、8cによりろう着固定し、該パンプ電極8a、8b、8cを外部導体として介して各層半導体ICチップ1a、1b、1cのゲート・パッド部とパッケージの内部配線とをそれぞれ電気的に接続した構造を有している。(図中9は表面保護絶縁膜を抜く)

なお該構造に於ては各層の半導体ICチップの厚さと半導体パッケージの内部配線の層間隔はほぼ等しくする必要がある。

以上説明したように本発明の構造を有する半導体装置に於ては、半導体パッケージ内に半導体ICチップが積層固定されてゐるので、

ナ・ブ一枚のナ・ブで回路機能を実成せしめる必要はなく、複数枚のナ・ブを重ねたがって回路機能を形成することができる。

従つて本発明によれば多層半導体ICの製造歩留まりが向上すると同時に、電子計算機或いは電子通信装置等の電子機器の小型化、大容量化が図れる。

#### 4. 図面の簡単な説明

第1図及び第2図は本発明の多層半導体装置回路に於けるナ・ブ積層構造の二つの実施例を示し(a)はその上面図、(b)はそのA-A'矢視断面図である。又第3図及び第4図は本発明に於けるパッケージへのナ・ブ実装構造の二つの実施例の断面模式図である。

図に於て1aと1bと1cと1dは素子無積層である半導体無積層回路ナ・ブ、2aと2bと2cと2dはゲート・パッド、3は絶縁層、4は半導体パッケージ、5はナ・ブ・ステージ、6aと6bと6cはパッケージの内部パッド、7及び7'は外部導体、8aと8bと8cはパンプ電極

として本実施例に於ては最上層のナ・ブ1dの所定のゲート・パッド2dとその下層のナ・ブ1cの所定のゲート・パッド2cとはワイヤ・ゲート・パッドにより外部導体7'で接続された構造を有してゐる。各ナ・ブに形成された回路を共通の電線に接続する際等にはこのような外部導体接続が行われる。なお該構造に於て半導体パッケージ4の内部パッド6a、6b及び6cはそれぞれ対応する多層半導体装置回路ナ・ブ1a、1b及び1cのゲート・パッド2a、2bとほぼ等しい高さで形成されることが望ましい。

又第4図は多層半導体装置回路ナ・ブをパッケージ・スタック構造で半導体パッケージに搭載する本

発明のナ・ブ積層構造の拡大を極めて小さく、かつながらパッケージの内部配線(集積度)を大幅に向上せしめることができると同時に、各層半導体ICチップのゲート・パッド部或いはそれに接続する内部配線が個々パッケージ内に引出された構造を有するので、該多層半導体装置回路は、ICの組み立てに際してナ・ブ毎にプロセス機器、及び回路機能を抽出することができ製造歩留まりの向上が図れる。

さらに本発明の半導体装置のパッケージの内部パッド6a、6b、6cの構造が多層半導体装置回路ナ・ブの各層のナ・ブの構造とはほぼ対応するように形成されているので前記ナ・ブの実装が容易に行なわれる。

又本発明の第1の実施例の構造に於ては、各素子無積層のゲート・パッドが引出してあり、各層のナ・ブのゲート・パッドは、図中9に示すように、表面保護絶縁膜を有してゐる。従つて、この多層ナ・ブに於ては、必



(E) 00115-52555

日本国特許庁  
特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

特許出願第 115-52555 号

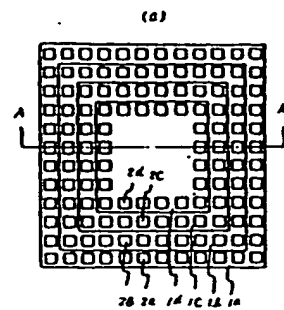
特許出願第 115-52555 号

特許出願第 115-52555 号

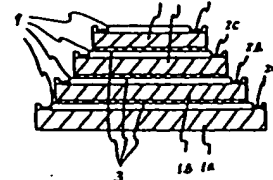
特許出願第 115-52555 号

特許出願第 115-52555 号

第 1 図

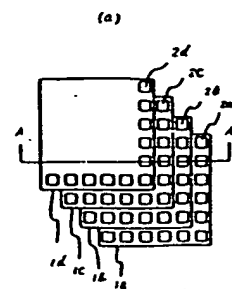


(a)

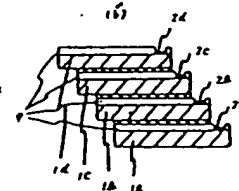


(b)

第 2 図

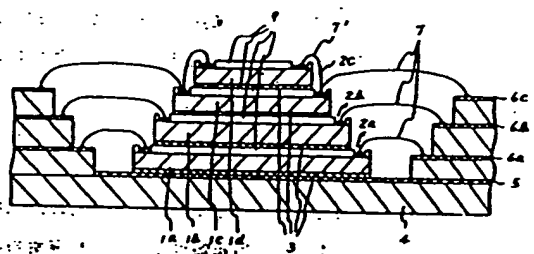


(a)



(b)

第 3 図



第 4 図

